

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 60-013559

(43)Date of publication of application : 24.01.1985

(51)Int.Cl.

B41J 3/04

(21)Application number : 58-122542

(71)Applicant : HITACHI LTD

(22)Date of filing : 05.07.1983

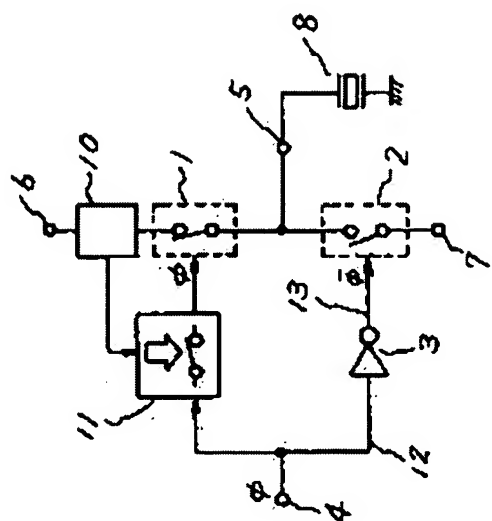
(72)Inventor : WADA MASAYUKI  
SHIMURA TATSUO  
KARIYA TADAAKI  
IZAKI NAOYUKI  
SUZUKI MASAYOSHI  
SAGAWA AKIO

## (54) DRIVE CIRCUIT OF CAPACITIVE LOAD

### (57)Abstract:

**PURPOSE:** To prevent the destruction of a switch at the time of output short-circuit by preventing an overcurrent, by providing a switch for changing the charge of capacitive load, a detection means for detecting a predetermined value or more of a current flowing to capacitive load and a control means for opening and closing the switch on the basis of a detection signal to the drive circuit of capacitive load.

**CONSTITUTION:** One of the signal  $\phi$  from an inlet terminal 4 is connected so as to open and close a first switch 1 through a control means 11 comprising a semiconductive apparatus control rectifier while the other thereof is connected so as to open and close a second switch 2 through an inverter 3 as a signal  $\phi$ ; complementary to the signal  $\phi$ . That is, the first switch 1 and the second switch 2 are alternately opened and closed by the signal  $\phi$ . In addition, a current detecting means 10 such as a resistor is provided between a first potential 6 and the first switch 1 to detect a predetermined value or more of an overcurrent and the control means 11 is controlled by the obtained detection signal.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑬ 日本国特許庁 (JP)

⑭ 特許出願公開

⑫ 公開特許公報 (A)

昭60—13559

⑮ Int. Cl.<sup>4</sup>  
B 41 J 3/04

識別記号  
1 0 3

庁内整理番号  
7810—2C

⑯ 公開 昭和60年(1985)1月24日  
発明の数 1  
審査請求 未請求

(全 14 頁)

⑰ 容量性負荷の駆動回路

⑱ 特 願 昭58—122542

⑲ 出 願 昭58(1983)7月5日

⑳ 発 明 者 和田雅行

日立市幸町3丁目1番1号株式  
会社日立製作所日立工場内

㉑ 発 明 者 志村辰男

日立市幸町3丁目1番1号株式  
会社日立製作所日立工場内

㉒ 発 明 者 荻谷忠昭

日立市幸町3丁目1番1号株式  
会社日立製作所日立工場内

㉓ 発 明 者 井崎直幸

日立市幸町3丁目1番1号株式  
会社日立製作所日立研究所内

㉔ 発 明 者 鈴木政善

日立市幸町3丁目1番1号株式  
会社日立製作所日立研究所内

㉕ 発 明 者 佐川明男

日立市幸町3丁目1番1号株式  
会社日立製作所日立研究所内

㉖ 出 願 人 株式会社日立製作所

東京都千代田区神田駿河台4丁  
目6番地

㉗ 代 理 人 弁理士 高橋明夫 外3名

明 細 書

発明の名称 容量性負荷の駆動回路

特許請求の範囲

1. 容量性負荷の電荷を変化させるスイッチと、上記容量性負荷に流れる所定値以上の電流を検出し、検出信号を出力する電流検出手段と、上記検出信号に基づいて上記スイッチの開閉を制御する制御手段とを具備することを特徴とする容量性負荷の駆動回路。

2. 特許請求の範囲第1項に於いて、上記スイッチは上記容量性負荷に電荷を供給するスイッチであることを特徴とする容量性負荷の駆動回路。

3. 特許請求の範囲第1項に於いて、上記スイッチは上記容量性負荷の電荷を放電させるスイッチであることを特徴とする容量性負荷の駆動回路。

4. 特許請求の範囲第1項に於いて、上記制御手段はサイリスタであることを特徴とする容量性負荷の駆動回路。

5. 特許請求の範囲第1項に於いて、上記制御手段はフリップフロップを含む論理回路より構成さ

れることを特徴とする容量性負荷の駆動回路。

6. 特許請求の範囲第5項に於いて、上記制御手段はホトダイオード、ホトトランジスタを具備することを特徴とする容量性負荷の駆動回路。

7. 特許請求の範囲第1項、第2項、または第4項に於いて、上記制御手段は上記スイッチと並列接続されることを特徴とする容量性負荷の駆動回路。

8. 特許請求の範囲第1項、第2項、第5項または第6項に於いて、上記制御手段は上記スイッチと直列接続されることを特徴とする容量性負荷の駆動回路。

9. 特許請求の範囲第1項に於いて、上記電流検出手段は所定値以上の電流の波高値を検出する電流検出手段であることを特徴とする容量性負荷の駆動回路。

10. 特許請求の範囲第9項に於いて、上記電流検出手段は抵抗であることを特徴とする容量性負荷の駆動回路。

11. 特許請求の範囲第1項または第4項に於いて、

上記電流検出手段は、所定値以上の電流が流れる時間を検出する電流検出手段であることを特徴とする容量性負荷の駆動回路。

12. 特許請求の範囲第1項に於いて、上記電流検出手段は時間遅れ要素を具備することを特徴とする容量性負荷の駆動回路。

13. 特許請求の範囲第1項に於いて、上記電流検出手段は抵抗及びコンデンサより構成されることを特徴とする容量性負荷の駆動回路。

14. 特許請求の範囲第1項に於いて、上記電流検出手段はホトダイオード及びホトトランジスタより構成されることを特徴とする容量性負荷の駆動回路。

15. 特許請求の範囲第4項に於いて、上記制御手段は、Nゲートにダイオードを備えるサイリスタであることを特徴とする容量性負荷の駆動回路。

16. 特許請求の範囲第1項または第4項に於いて、上記制御手段はダイオードを介して上記スイッチに接続されることを特徴とする容量性負荷の駆動回路。

4に加えられる信号により、出力端子5にはH→LやL→Hのパルス電圧を得ることができる。

しかし、例えばインクジェットプリンタ等に於いて、容量性負荷である圧電素子がノズルからのインクの飛散によつて出力端子5が短絡することが生じ、この場合、過電流によりスイッチ1および/または2が熱破壊するという問題がある。これを防止するため、短絡時に過電流が流れる経路に抵抗を設け、短絡電流をスイッチの許容電流以下とする方法が考えられているが、この方法では時定数が大となり、パルスの立上りをなまらせる。すなわち高速性能を損うこととなる。

#### 〔発明の目的〕

本発明の目的は駆動回路の高速性を損うことなく過電流を防止し、出力短絡時においてもスイッチを破壊することのない容量性負荷の駆動回路を提供することにある。

#### 〔発明の概要〕

上記目的を達成する本発明容量性負荷の駆動回路の特徴とするところは、容量性負荷の電荷を変

#### 発明の詳細な説明

##### 〔発明の利用分野〕

本発明は圧電素子等の容量性負荷の駆動回路に係り、特に容量性負荷が短絡する場合等の異常電流からの保護が可能な容量性負荷の駆動回路に関する。

##### 〔発明の背景〕

容量性負荷例えば圧電素子等の駆動回路には高速、高振幅のパルス電圧が必要で、このようなパルスを発生する手段として従来、特開昭58-27427号公報に示される様なパルス電圧発生回路が知られている。この原理を第1図に示す。直列に接続された第1のスイッチ1と第2のスイッチ2との間に出力端子5が設けられ、容量性負荷8が接続される。入力端子4からの信号φは第1のスイッチ1を制御し、第2のスイッチ2はインバータ3を通して得られる信号φ $\bar$ によつて制御される。このような構成により、各スイッチ1、2の第1、第2の電位端子6、7をハイレベル、ローレベルと其々に設定することにより、入力端子

化させるスイッチと、容量性負荷に流れる所定値以上の電流を検出し、検出信号を出力する電流検出手段と、検出信号に基いてスイッチの開閉を制御する制御手段とを具備することにある。

##### 〔発明の実施例〕

以下図面に基いて本発明を詳細に説明する。

第2図は本発明の第1の実施例を示すブロック図で、入力端子4からの信号φの一方は、例えば半導体装置制御整流器よりなる制御手段11を介して第1のスイッチ1を開閉するように接続され、他方はインバータ3を介し、信号φとは相補的な信号φ $\bar$ として第2のスイッチ2を開閉するように接続されている。すなわち、第1のスイッチ1と第2のスイッチ2とは信号φによつて交互に開閉する構成となつている。第1の電位端子6と第1のスイッチ1との間には例えば抵抗のような電流検出手段10が設けられ、電流検出手段10によつて所定値以上の過電流を検出し、得られた検出信号によつて制御手段11を制御するように構成されている。

以上述べた一実施例の構成は第1の電位端子6をハイレベル、第2の電位端子7をローレベルとし、第1のスイッチ1が導通状態にあり、容量性負荷に電荷を供給するとき、出力端子5がローレベルに短絡し、過電流が第1の電位端子6、スイッチ1、出力端子5の経路を通つて流れ、第1のスイッチ1が破壊することを防止する場合の構成例であり、このとき電流検出手段10は上記した第1の電位端子6、出力端子5を通つて容量性負荷8の他方の端子までの経路にあれば、その位置は問われない。また、第1の電位端子6がローレベル、第2の電位端子7がハイレベルにあり、第1のスイッチ1が導通状態で出力端子5がハイレベルに短絡した場合についても同じ構成で防止できる。

第1の電位端子6がハイレベル、第2の電位端子7がローレベルにあり、第2のスイッチ2が導通状態にあり、容量性負荷の電荷を放電させるとき出力端子5がハイレベルに短絡した場合は、短絡することによつて流れる過電流は出力端子5、

流 $i_c$ が、第1の電位(電源)端子6、電流検出手段10、第1のスイッチ1、出力端子5の経路を通して容量性負荷8に流れる。

$$i_c = C \frac{dV}{dt} \quad \dots\dots(1)$$

ここで、Cは容量性負荷の静電容量である。

この電流によつて容量性負荷に電荷が供給され容量性負荷が充電されるに従つて出力端子5はほぼ第1の電位まで上昇する。このときの上昇時間は充電電流が流れている時間と同じで(2)式で示された時間 $t$ である。

$$t = C \frac{V_{c0}}{i_c} \quad \dots\dots(2)$$

ここで、 $V_{c0}$ は第1の電位端子6の電位である。

また、このとき電流検出手段10は動作しないよう設定されている。

次に入力端子4に信号 $\phi$ が入力されると第1のスイッチ1は開放状態、第2のスイッチ2は導通状態となり、容量性負荷8に充電されていた電荷は放電動作電流となり、出力端子5、第2のスイ

第2のスイッチ2、第2の電位端子7の経路を通して第2のスイッチ2を破壊する。このとき電流検出手段10は出力端子5から第2の電位端子7までの経路中に設けられ、制御手段11は線路12、13中に設けられるような構成となる。また、第1の電位端子6がローレベル、第2の電位端子7がハイレベルにあり第2のスイッチ2が導通状態のとき出力端子5がローレベルに短絡する場合も同様の構成で防止できる。

次に第2図に示した構成において、第1の電位端子6がハイレベル(例えば電源)、第2の電位端子7がローレベル(例えば接地)状態に設定されている場合について動作を詳細に説明する。

今、入力端子4に信号 $\phi$ が加えられる(信号がある状態が $\phi$ 、無い状態が $\bar{\phi}$ となる)と第1のスイッチ1は導通状態、第2のスイッチ2は開放状態となる。このとき制御手段11は例えばスイッチが閉じた状態にあるように信号 $\phi$ を通過させる。第1のスイッチ1が閉じると第1のスイッチ1の特性と負荷容量で決まる(1)式に示した値の充電電

流 $i_c$ が、第1の電位(電源)端子6、電流検出手段10、第1のスイッチ1、出力端子5の経路を通して容量性負荷8に流れる。

以上述べた動作中、入力端子4に信号 $\phi$ が加えられた状態、すなわち第1のスイッチ1が導通状態にあるとき、容量性負荷の電極が短絡し出力端子5が第3の電位(例えば接地レベル)に短絡した場合、第3図(b)の(3)に破線で示したように第1のスイッチ1の許容電流を超える過電流が信号 $\phi$ が入力されている時間流れようとする。このよう

な過電流が流れたとき、電流検出手段10が働き過電流が流れたことを検出し、制御手段11へ検出信号を送る。制御手段11はこれを受けて第1のスイッチ1を導通状態としている信号 $\phi$ をしゃ断し、第1のスイッチ1を開放状態とする。それゆえ過電流は阻止され、第1のスイッチ1の破壊を防ぐ

ことができる。制御手段11は電流検出手段10の電流が零となつた後も入力端子4に次の信号 $\phi$ が入力されるまで第1のスイッチ1への信号 $\phi$ の送出阻止の状態を保持し、第1のスイッチ1は開放状態を保持する。

次に入力端子4に信号 $\bar{\phi}$ が加えられると第2のスイッチ2は導通状態となるが、出力端子5は第3の電位（接地レベル）にあるため電流は流れず第2のスイッチ2は破壊しない。同時に制御手段11は入力端子4に輸入される信号 $\bar{\phi}$ を第1のスイッチ1へ送出できるよう回路状態を回復させている。次に信号 $\phi$ が入力端子4に輸入されたとき、出力端子5の短絡が回復している場合、回路は前記したごとく正常な充放電動作を再び開始する。短絡状態が続いていれば、再度制御手段11が動作し、第1のスイッチ1に輸入される信号 $\phi$ をしゃ断する。第3図(b)はこのときの入出力の電圧と出力端子5での電流を示したものである。

以上述べて来たように本発明の一実施例によれば、出力短絡時の過電流をしゃ断し、スイッチの

破壊を防止することができる。

第4図に本発明の具体的な第2の実施例を示す。同図において、第2図に示したと同一符号の部分は其々同一物及び相当物を示す。また、電流検出手段10と制御手段11とを除いた回路部分は、先に掲げた特開昭58-27427号公報で知られており、詳細な回路動作についてはこれを参照されたい。

第4図に示す様に、第1のスイッチ1、第2のスイッチ2、及びインバータ3はトランジスタ45～50と抵抗により構成されている。このなかで、トランジスタ45と49は其々信号 $\phi$ 、 $\bar{\phi}$ の入力によつて動作する定電流スイッチを構成しており、出力端子5側のトランジスタ46、50のベース電流を引き抜いたり、しゃ断したりすることによつてトランジスタ46、47、50をオン状態、若しくはオフ状態にする。

本実施例の回路において、電流検出手段10は第1の電位（例えば電源）端子6と第1のスイッチ1との間に設けられ、トランジスタ46のベ-

ス・エミッタ間に設けられた制御手段11は、通常動作においては等価的にスイッチ開放の状態にあるように構成されている。

いま、通常動作の場合入力端子4に信号 $\phi$ ("1")が入力されると定電流スイッチを構成しているトランジスタ45が導通し、トランジスタ46からベース電流を引き抜き、トランジスタ46を導通させる。トランジスタ46のコレクタ電流はトランジスタ47のベース電流となり、トランジスタ47を導通させ、出力端子5に接続される容量性負荷（図示せず）に充電電流を供給する。この充電電流は第1の電位端子6から電流検出手段10を通して供給されるが、過電流を検出し、検出信号を出力する所定値に満たないため制御手段11は動作しない。すなわち等価的にはスイッチ開放の状態にある。このときトランジスタ49にはインバータの働きにより、信号 $\bar{\phi}$ ("0")が入力され、不導通（開放）状態にある。それゆえトランジスタ50は逆バイアスされ、不導通（開放）状態であり、出力端子5の電位はほぼ第1の電位

レベルとなる。このように、入力端子4への信号 $\phi$ の入力により、第1のスイッチ1は導通状態になり第2のスイッチ2は開放（非導通）状態となることがわかる。

次に入力端子4に信号 $\bar{\phi}$ が入力された場合、上記とは逆に第1のスイッチ1は開放状態となり、第2のスイッチ2は導通状態となり、トランジスタ50は容量性負荷に蓄えられた電荷を放電し、出力端子5の電位を第2の電位（例えば接地電位）端子7と同レベルまで下げる。このとき第1のスイッチ1は開放（非導通）状態にあるので、電流検出手段10に電流は流れない。従つて制御手段11は開放状態のままである。前述したと同様に従来回路に電流検出手段10、制御手段11を設けても、通常動作時は出力端子5に設けられる容量性負荷を駆動する高電圧のパルスが発生することができる。

いま、入力端子4に信号 $\phi$ が入力され、第1のスイッチ1が導通状態にあるときに出力端子5が短絡した場合、第1のスイッチを介して容量性負

荷に流れる過電流は電流検出手段10によつて検出され、制御手段11は等価的にトランジスタ46のベース・エミッタ間を短絡する。それゆえ、トランジスタ45は制御手段11を介して電流を引き抜くこととなり、トランジスタ46にベース電流は流れなくなり、トランジスタ46は開放（非導通）状態となる。このためトランジスタ47も開放状態となり、第1のスイッチ1は開放状態となる。すなわち過電流の経路は開放される。電流検出手段10に過電流が流れなくなつても、制御手段11は信号φが入力されている間、等価的な短絡（導通）状態を保持している。

次に信号φが入力端子4に入力されるとトランジスタ45は開放状態となり、制御手段11は等価的に開放状態となつて、元の状態に回復する。このとき（φが入力されているとき）第1のスイッチ1は開放状態、第2のスイッチ2は導通状態にあるが、出力端子5の電位はグラウンドレベルに短絡しており、第2の電位端子7とはほぼ同レベルにあるので、トランジスタ50に過電流は流れな

い。

以上述べてきたように、本実施例に於いても、出力短絡時の過電流による第1のスイッチ1の破壊を防止することができる。

また、本実施例においては制御手段11をトランジスタ46のベース・エミッタ間を短絡し、トランジスタ46にベース電流を流さないように構成したものであるが、制御手段11をトランジスタ46のコレクタと第2の電位端子7（本実施例では接地レベル端子）との間に設けるような構成においても同様な効果を得る。この場合、出力短絡が発生したときトランジスタ47のベース電流となるトランジスタ46のコレクタ電流を第2の電位端子7へ流すことによつてトランジスタ47をしゃ断するようにしたものであり、その他の動作は前記した場合となんら変わらないことが明きらかであろう。

第5図は本発明の第3の実施例であり、第4図に示した本発明の第2の実施例の具体的な回路例で、同図において第4図に示したと同一符号は其

其同一物及び相当物を示す。

第1のスイッチ1と第2のスイッチ2、それにインバータ3はトランジスタと抵抗により、図に示すように構成され、電流検出手段10は抵抗44で構成されている。また、制御手段11はゲート抵抗43を備えたサイリスタ41で構成される。なお、40はサイリスタ41が導通状態となつたときの順方向降下を補正するためのレベルシフトダイオードである。

いま、入力端子4に信号φが入力されると第1のスイッチ1は導通状態、第2のスイッチ2はインバータ3により、開放（非導通）状態となる。通常動作時、電流検出手段10を構成する抵抗44に流れる電流 $i_c$ は、出力端子5に設けられる容量性負荷の静電容量値をCとし、第1のスイッチの特性から定まる電圧変化率 $dv/dt$ とすれば、前述した(1)式で示される値となる。抵抗44の両端には、この電流 $i_c$ と抵抗44の抵抗値Rによつて(3)式で表わされる電圧 $V_R$ がパルス電圧の過渡時だけにのみ発生する。

$$V_R = i_c \cdot R \quad \dots\dots\dots(3)$$

通常動作時のこの電圧 $V_R$ は制御手段11を構成するサイリスタ41を導通させるゲート電圧 $V_0$ より小さいのでサイリスタ41は非導通状態となつている。一方、出力端子5が例えば接地レベルに短絡した場合、第1のスイッチ1は導通状態にあるので過電流 $I_0$ が第1の電位（例えば電源）端子6から抵抗44、トランジスタ47を通して出力端子5へと流れ、抵抗44の両端には(4)式の電圧 $V_0$ が発生する。

$$V_0 = I_0 \cdot R \quad \dots\dots\dots(4)$$

$$V_0 > V_0 \quad \dots\dots\dots(5)$$

この電圧 $V_0$ がゲート電圧 $V_0$ と(5)式の関係となつたときサイリスタ41のNゲートから電流が引き抜かれ、サイリスタ41は導通状態となり、トランジスタ46のベース・エミッタ間は短絡され、トランジスタ46は非導通（開放）状態となる。それゆえトランジスタ47も非導通（開放）状態となり、短絡されることによつて生じる過電流 $I_0$ は第3図(b)に示したようにしゃ断される。過電流 $I_0$ がしゃ断され、ゲート電圧 $V_0$ が零と

なつても、入力端子4に信号φが入力されている間トランジスタ45は導通状態にあり、第1の電位端子6、サイリスタ41、トランジスタ45の経路で電流が流れ、サイリスタ41はトランジスタ46、47の開放状態を保持している。

入力信号φがなくなる(φが入力される)とトランジスタ45は非導通(開放)状態となり、第2のスイッチ2が導通状態になる。しかし第2の電位端子7は接地レベルであるので電流は流れず、第2のスイッチ2の破壊は起こらない。サイリスタ41には電流が流れなくなり非導通状態を回復する。以下、上記の動作が繰り返される。

第3図(b)からわかるように出力が短絡した時、トランジスタ47には瞬間的には通常の動作電流よりも大きな電流が流れるが、この期間は非常に短い。それゆえトータルすれば通常電流よりも少なく、トランジスタの破壊が熱破壊によるものである。累積の少ない方が負担が少なく、ピークが大きくてもトランジスタ47の破壊には至らない。

チ2が導通状態になつて容量性負荷に蓄積された電荷が放電されて流れる電流である。

時刻Tにおいて出力短絡した場合、出力端子5には第6図(5)の破線に示すような過電流82が流れようとするが、検出手段10により検出されて、第6図(2)に示す様な検出電圧 $V_{\#}$ (68)が発生する。この電圧 $V_{\#}$ はサイリスタ41のゲート電圧 $V_g$ と $V_g < V_{\#}$ の関係があり、サイリスタ41は導通状態になる。従つてサイリスタ41のアノード・カソード間は第6図(3)に示す様にローレベルとなり、トランジスタ46は非導通状態となり、第6図(4)に示す様にトランジスタ46のベース電流は零となる。ゆえに過電流も直ちにしゃ断され、第6図(5)に示す様に波形83のごとく出力端子5即ち容量性負荷に流れる電流は短時間で零となる。第6図(3)に示す様にサイリスタ41の両端の電位は信号φが入力されている間は、ローレベル状態を保持し、信号φが入力されることによつて、元のハイレベル状態に戻る。以後、信号φ63、64が入力されたとき、出力短絡が続いていたな

第6図は第5図における各部の動作波形を示したもので、(1)は入力端子4への入力信号、(2)は電流検出手段10からの検出信号、(3)はサイリスタ41のアノード・カソード間の電位、(4)はトランジスタ46のベース電流、(5)は出力端子5に流れる電流である。

同図において、入力信号62の時刻Tにおいて出力短絡が起きた場合を考える。時刻T以前は正常動作をしており、入力信号60、61に対し、第6図(2)に示す様に検出信号は負荷に充電される電流分による $V_{\#}$ (65、66、67)があらわれているが、この電圧はサイリスタ41のゲート電圧 $V_g$ より小さいので、サイリスタ41は非導通状態であり、第6図(3)に示す様にアノード・カソード間の電位(6)はハイレベルのままである。したがつて第6図(4)に示す様にトランジスタ46のベース電流は入力に従つて発生、停止を行なう。この電流に従つて出力端子5には高圧パルスが発生する。第6図(5)に示す様に、容量性負荷に流れる電流の負側のパルス80、81は第2のスイッ

らば、入力の初めから回路は上記したと同様の動作により第6図に示す様に過電流をしや断する。

以上述べてきたように、第5図及び第6図に示した本実施例によれば、出力短絡時の過電流によるスイッチの破壊が、サイリスタと抵抗による簡単な回路構成により防止できる。なお本実施例では制御手段11にサイリスタ41を用いた例を述べたが、後述するようにnpn、pnp、トランジスタやホトトランジスタ、またリレー等を用いて構成することによつても過電流を防止できる。

第7図は第4図に於ける制御手段11の他の実施例を示したもので、新たに設けられたダイオード42は、ノイズ等によるサイリスタ41のNゲート電位の急激な上昇によつて漏れ込む電流によりサイリスタ41が誤動作するのを防止する効果を有する。このような回路においても、ダイオード42の順方向降下のみを考慮することにより、第5図における制御手段11と同等の特性が得られることは明らかである。

第8図に本発明の第4の実施例を示す。同図に



において、第4図の第2の実施例と同一符号の部分は其々同一物及び相当物を示す。また、制御手段11を除いた回路部分は第4図に示したものと同一で、これらの部分の動作は前述したと同様である。

第8図において、電流検出手段10は第1の電位（例えば電源電位）端子6と第1のスイッチ1との間に設けられ、制御手段11はトランジスタ46のベース電流が流れるライン90に直列に設けられている。第8図において、制御手段11は第4図に示したものと異なり、通常時は等価的に導通（閉路）状態を維持し、出力端緒が発生した場合に、検出手段10が発生する検出信号により非導通（開路）状態になるよう設定されている。

通常時の動作は制御手段11が等価的に導通状態にあること以外は第4図に示す第2の実施例において述べたと同様、入力端子4に入力される信号φに従って出力端子5に高電圧パルスが発生できる。

いま、出力端子5が高電位にあるとき短絡が発

生したとすれば、過電流は第1の電位端子6、電流検出手段10、トランジスタ47、出力端子5、容量性負荷（図示せず）を経て第3の電位（例えば、グランド）へと流れる。電流検出手段10は過電流を検出し、制御手段11へ検出信号を送る。制御手段11はこれを受けて急速にスイッチを非導通（開放）状態にする。従つてトランジスタ46のベース電流はしや断され、第1のスイッチ1は非導通（開放）状態となり、過電流はしや断される。従つて検出信号も零となる。等価的に非導通（開放）状態となつている制御手段11は入力端子4に信号φが入力されている期間、非導通状態を維持している。

次に信号φが入力端子4に入力されると制御手段11は導通状態となるが、第1のスイッチ1は非導通状態となるため過電流は流れない。このとき第2のスイッチ2が導通状態であるが、第2の電位端子7はローレベル（グランドレベル）であるのでやはり過電流は流れない。

以上述べたように、第8図に示す本実施例にお

いても、出力短絡時の過電流によるスイッチ1、2の破壊を防止できることがわかる。また、本実施例においては制御手段11をトランジスタ46のベース電流をしや断するようにライン90に設けたが、短絡時に過電流が流れる側のスイッチを非導通状態にできる位置、例えば91～97のライン上のいずれに設けても同様の効果が得られることは明らかであろう。

第9図は本発明の第5の実施例であり、第8図に示した本発明の第4の実施例の具体的な回路で、同図において、第4図に示したと同一符号の部分は其々同一物及び相当物を示す。本実施例では第2図に示す記号を用い、略図で示してある。電流検出手段10は抵抗44で構成され、制御手段11はnpnトランジスタ100と論理回路101とで構成され、npnトランジスタ100のエミッタ・コレクタはライン90に図示するように接続される構成となつている。また論理回路101はトランジスタ102、インバータ103、NANDゲート104、フリップフロップ105で

図示のように構成されている。

さらに、電源ライン20とトランジスタ100のエミッタ間は論理回路の動作電圧になるようレベルシフトダイオード40によつて電圧が設定されている。

第10図は第9図に示した制御手段11の各部の動作波形を示したものである。第10図(1)は入力端子4に入力される信号パルス、第10図(2)はフリップフロップ105へのクロックパルス(c p)入力端子へ加わる信号、第10図(3)はCLR端子への入力信号即ち電流検出手段10からの検出信号、第10図(4)はQ端子の出力信号、第10図(5)はスイッチ用トランジスタ100のベース電位の信号、第10図(6)はトランジスタ100の導通(ON)、非導通(OFF)の状態を表わしたものである。

以下第10図に従つて第9図の回路動作を説明する。通常動作時、入力端子4へ入力される信号φ、φに従つてc p端子への入力信号は第10図(2)に示すように同位相で変化する。このとき過電

流は流れていないのと負荷電流により発生する電位はツェナーダイオードZDのツェナー電位以下に設定されているので第10図(3)に示す様にCLR端子への入力はいレベルとなつている。ゆえにQ出力はローレベルでありトランジスタ100のベース電位は常にハイレベルにある。従つて通常動作のときトランジスタ100は入力端子4に入力される信号φ、φに從つて導通または非導通状態となり、回路は正常に動作し、出力端子5には高電圧パルスが発生する。

いま、時刻Pにおいて、出力短絡が発生すると、過電流による、ツェナー電圧より大きな電圧が検出信号として第10図(3)に示すようにCLR端子に入力される。検出信号がCLR端子に入力されることによりQ出力は反転し、第10図(4)に示す様にハイレベルとなる。ゆえに第10図(5)に示す様にトランジスタ100のベース電位はローレベルとなり、トランジスタ100は非導通状態となる。従つて第9図に於けるトランジスタ46のベース電流はしや断され第1のスイッチ1は開放状

態となり、過電流は流れなくなる。過電流が流れなくなると検出信号は零となり、CLR入力は再びハイレベルとなるが、Q出力はcpが入力されている間ハイレベルを維持しており、トランジスタ100を非導通状態にし続ける。この状態で、信号φが入力端子4に入力されてもQが追従してローレベルとなるがトランジスタ45が信号φ入力により非導通状態にあるのでトランジスタ100は非導通状態を続ける。再び信号が入力端子4に入力されると検出信号が発生し、CLRに入力され、Qはハイレベルとなりトランジスタ100は非導通状態を続ける。

以上述べてきたように、第9図に示した実施例においても出力短絡時の過電流によるスイッチの破壊の防止が可能である。しかも制御部分を論理回路101で製作できるので回路の自由度が大きいという効果がある。なお本実施例ではスイッチングを司るトランジスタ100にnpnトランジスタを用いたが、これに限られることは無い。すなわち、pnpトランジスタやホトトランジスタ、

サイリスタを用いても同様の動作を行ない得ることは明らかであろう。

さらに、第11図は本発明の第6の実施例を示す図で第9図と略同一構成である。

新たに設けられたホトダイオード110とホトトランジスタ111は図示のように構成され、ホトトランジスタ111が、入力端子4に入力される信号φによつて発光するホトダイオード110によつて導通状態になるとフリップフロップ105のcp端子に信号が入力される。ゆえに第11図の回路動作は第10図に示したと同様の入出力関係を示し、過電流を防止する。

本実施例においては回路の構成部品を少なくできる効果を有する。また、第9図、第11図に示す実施例において論理回路101はDフリップフロップ105を主体に論理を構成しているが、他の論理素子を用いても同様の働きをさせ得ることは明らかであろう。

第12図は本発明の第7の実施例を示し、電流検出手段10の他の具体的な実施例を示す図であ

る。また、同図において、第5図に示したと同一符号の部分は其々同一物及び相当物を示す。さらに電流検出手段10を除いた他の部分は第5図に示したと同じ回路であり、前述したと同様の動作を行ない、出力端子5に高電圧のパルスが発生できる。

新たに電流検出手段<sup>10</sup>として設けられたコンデンサ120と抵抗121は直列接続しており、これが第1の電位端子6と第1のスイッチ1間に設けられた抵抗44に並列に接続されている。またコンデンサ120の端子の一方は制御手段11を構成するサイリスタ41のアノード端子へ、他方はダイオード42を介してNゲートへ接続される。なおダイオード42は雑音による誤動作がなければ省略してもさしつかえない。

第13図は第12図に示す本発明第7の実施例の各部の波形を示したものであり、第13図(1)は端子4への入力信号φ、第13図(2)は抵抗44に流れる電流、第13図(3)は抵抗121と抵抗44との接続点aの電位、第13図(4)はコンデンサ

120と抵抗121との接続点bの電位、第13図(5)はサイリスタ41のNゲートの電流波形である。

本実施例に示す回路構成において、通常時は信号φの入力により容量性負荷(図示せず)が駆動され、抵抗44には(1)式によつて定まる電流 $i_c$ が、(2)式で示される $t$ の期間流れ、第13図(3)に示す様に接続点aの電圧は降下する。しかし、この期間が短かいためコンデンサ120と抵抗121とからなる時定数を備えた遅れ要素を持つているため接続点bの電位は急速には追従できず、電位変動(電圧降下)は少ない。このためサイリスタ41の点弧電圧 $V_F$ に至らず、サイリスタ41は導通状態にはならない。従がつて第1のスイッチ1は通常の動作を行ない、出力端子5は高電位となる。

いま、時刻Kにおいて出力短絡が起きた場合を考えると、抵抗44に過電流が流れ、(このときの値は抵抗44の値と第1の電位端子6の電圧で定まる。ここでは $i_c$ のピーク値と同じ電流に設

定されている)、第13図(2)の破線で示すような電流が信号φが入力端子4に入力されている間流れようとする。しかし第13図(3)に示す様に接続点aの電位は急激に下がり、第13図(4)に示す様に接続点bの電位はコンデンサ120の容量Cと抵抗121の値Rとの時定数CRを持つて指数関数的に低下する。 $t$ 。時間後、この点の電位がサイリスタ41をオンさせるにたる電位 $V_F$ に達したとき、第13図(5)に示す様にNゲートから電流が引き抜かれ、サイリスタ41は導通状態となる。従がつて第1のスイッチ1は非導通(開放)状態となり、過電流はしや断される。過電流のしや断に伴つて接続点aの電位は上昇するとともに接続点bの電位も上昇し、定常状態に戻り、再度信号φが入力されて、過電流が流れるまでこの状態を維持する。

以上述べたように本実施例になる時間遅れ要素を備えた電流検出手段10を用いても過電流をしや断し、スイッチの波壊を防止できる。

本実施例の回路構成によれば短絡が起きた時点

から時間 $t$ 。遅れた時点で電流検出手段10が動作する。すなわち、第5図に示した電流検出手段10は電流の波高値によつて検出するのに対し、本実施例では時間によつて検出するようにしたものである。遅れ時間 $t$ 。はCRによつて設定でき、容量性負荷の駆動時間 $t$ よりも長く、また、長時間過電流を流すことによつてスイッチが熱破壊を生ずる時間よりは短かく設定される。

以上述べてきた本実施例によれば、容量性負荷の静電容量値等のばらつきによる $i_c$ のピーク変動を無視でき、負荷駆動の電流と短絡時の過渡電流を明確に区別できる効果がある。すなわち、ある程度の抵抗値をまじえて短絡が発生し、過電流値が負荷駆動電流 $i_c$ のピーク値より低い場合においても短絡の発生を検出することができる。

さらに、このことは後述するように多数のスイッチを並列に駆動するさいトータルの負荷電流のピーク値が、1ヶの駆動回路の出力短絡電流よりも大きな場合においても、正常時と短絡時の電流を明確に区別できる効果がある。

第14図は本発明の第8の実施例を示すものであり、第12図に示した時間遅れ要素を設けた電流検出手段10の他の実施例である。ホトダイオード140は第1の電位端子6と第1のスイッチ1との間に設けられ、この信号を受けるホトトランジスタ141がサイリスタ41のNゲートとカソード間に図示のごとく設けられる。上記のように構成された電流検出回路においても定常駆動電流と過電流とを時間的に区別することが可能である。すなわち、ホトダイオード140は本質的に遅れ要素であるため、定常駆動の電流 $i_c$ が流れる $t$ 程度の時間では発光動作をせず、検出信号は生じない。しかし、出力が短絡し、電流が $t$ 。時間流れたときは発光し、検出信号を発生する。ホトダイオード141はこれを受けて導通状態となり、Nゲートから電流を引き抜き、サイリスタ41を導通状態にし第1のスイッチ1を非導通状態にし、過電流を停止させる。

本実施例においては部品数を少なくでき、抵抗44を無くすることによつて消費電力を減らすこ

とができ、かつ、光で信号を受授するためノイズによる誤動作を防止できるなどの効果がある。

以上本実施例では、時間遅れ要素に抵抗及びコンデンサとホトトランジスタとの2例を挙げたが、その他、リレーや論理回路ダイオード、カレントミラー回路等を時間遅れ要素とすることが可能である。

第15図は本発明の第9の実施例を示す。同図において、第2図、第4図に示したものと同一符号の部分は其々同一物及び相当物を示す。また、チャンネル150、151、152は第4図において、電流検出手段10と制御手段11とを除いた回路部分であり、各チャンネルは第1の電位（例えば電源電位）端子6と第2の電位（例えば接地電位）端子7間に並列に設けられている。電流検出手段10は、各チャンネルの第1のスイッチ1に図に示すように接続される。さらに制御手段11を構成しているサイリスタ41のアノードは新たに設けられたダイオード153、154、155を介し、各チャンネルのライン90に接続

10は第13図に示した1。時間たつた時点で短絡電流を検出しサイリスタ41を導通状態にさせる。これにより各チャンネルのトランジスタ46のベース・エミッタ間は短絡され、各チャンネルの第1のスイッチ1は開放状態になり過電流はしゃ断される。ダイオード153、154、155は各チャンネルが個別に動作しているとき、一方のチャンネルのライン90がハイレベルとなり他方がローレベルとなつたとき、一方のチャンネルから電流が逆流してくるのを防止している。

以上述べてきたように、上記した本実施例においても、短絡時の過電流を防止できることがわかる。

本実施例によれば、1組の電流検出手段10と制御手段11によつて多数のチャンネルを保護できる効果を有する。

#### 〔発明の効果〕

以上述べたように、本発明によれば、過電流を防止し、出力短絡時においてもスイッチを破壊することのない容量性負荷の駆動回路を得ることが

される。インバータ用のバイアス電圧は第15図に示すように第1の電位端子160から各チャンネルに供給される。電流検出手段10は第12図に示す第7の実施例と同様に時間遅れ要素を備えたものが用いられる構成となつている。

各チャンネルは通常動作時、各チャンネルの入力端子4へ入力される信号φにより個別に駆動でき、出力端子5には其々高電圧パルスが発生できる。いま各チャンネルが同じタイミングで信号φにより駆動されたとき、抵抗44には各チャンネルの負荷電流の合計が流れる。この合計電流のピーク値は1チャンネルが短絡したときに流れる過電流のピーク値よりも大きい。しかし第13図に示した時間の期間のみしか流れないので、遅れ要素を備えた電流検出手段10は動作しない。

次に各チャンネルの出力が高電位となつているとき、チャンネル150のみに出力短絡が発生した場合、短絡電流（過電流）は信号φが入力されている期間流れようとする。この時他のチャンネルの負荷電流はすでに零となつている。電流検出手段

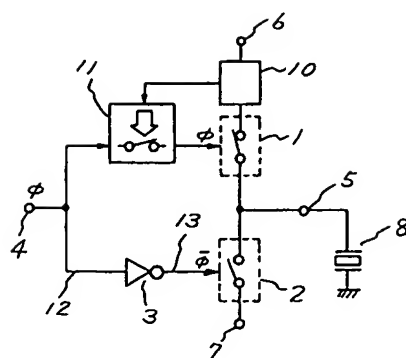
できる。

#### 図面の簡単な説明

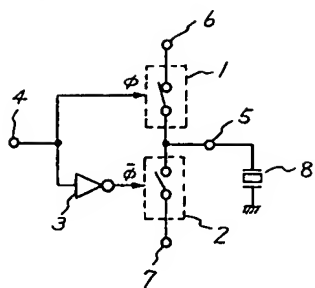
第1図は従来例であるパルス電圧発生回路図、第2図は本発明の第1の実施例を示すブロック図、第3図は第2図の動作を説明するための図、第4図は本発明の第2の実施例を示す回路図、第5図は本発明の第3の実施例を示す回路図、第6図は第5図の動作波形を示す図、第7図は制御手段の他の実施例を示す図、第8図は本発明の第4の実施例を示す図、第9図は本発明の第5の実施例を示す回路図、第10図は第9図の動作波形を示す図、第11図は本発明の第6の実施例を示す図、第12図は本発明の第7の実施例を示す図、第13図は第12図の動作波形を示す図、第14図は本発明の第8の実施例を示す図、第15図は本発明の第9の実施例を示す図である。

代理人 弁理士 高橋明夫

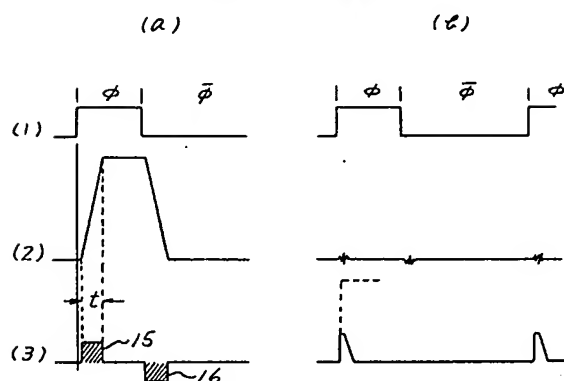
第 2 図



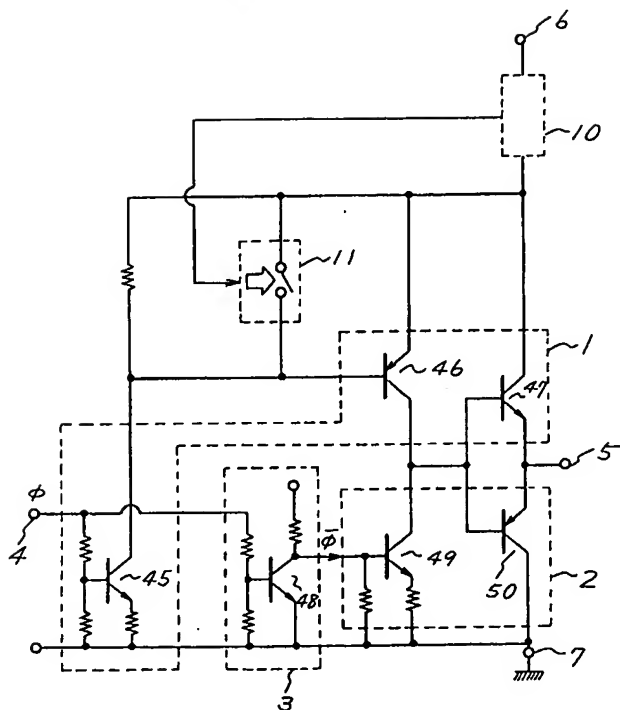
第 1 図



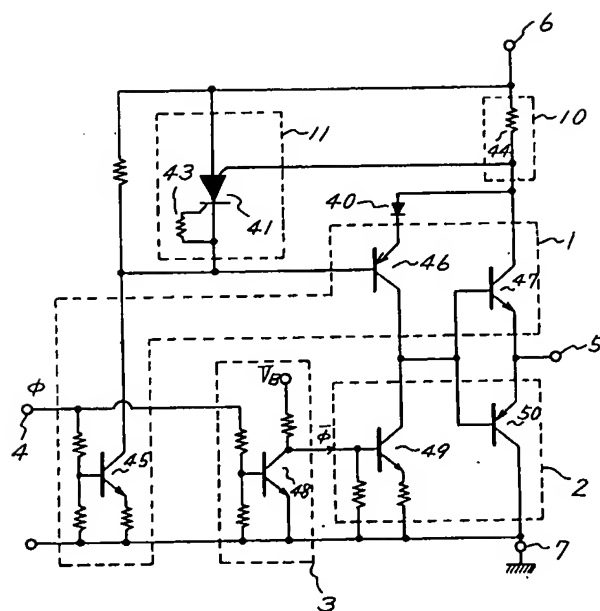
第 3 図



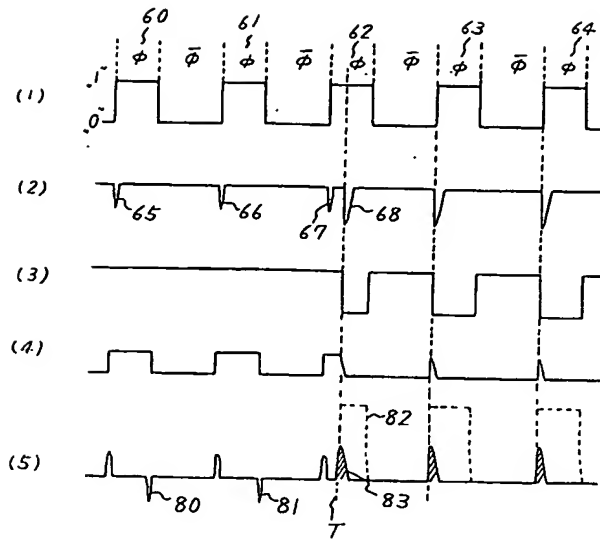
第 4 図



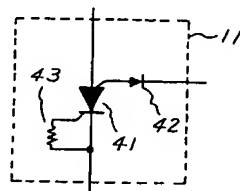
第 5 図



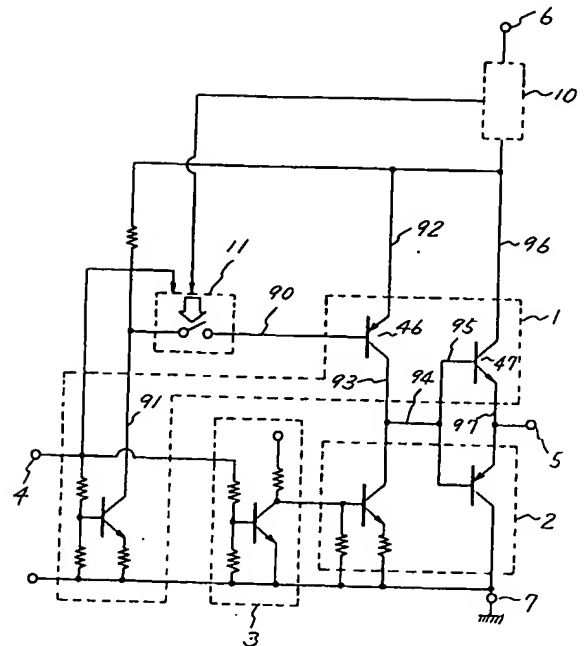
第 6 図



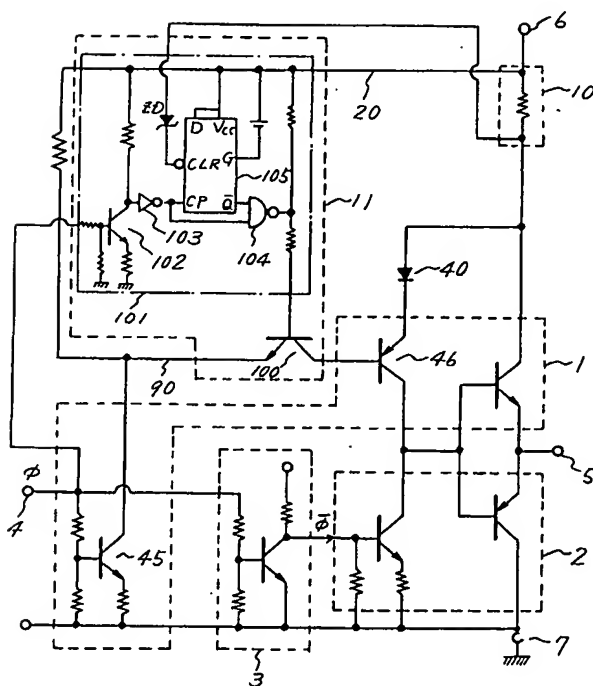
第 7 図



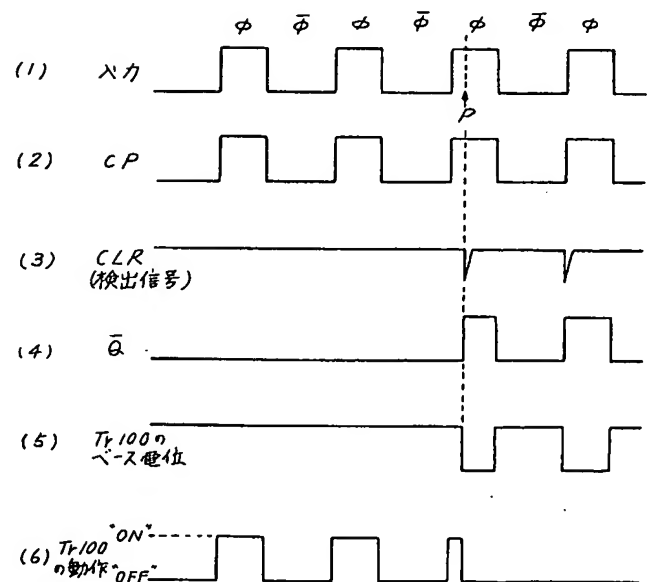
第 8 図



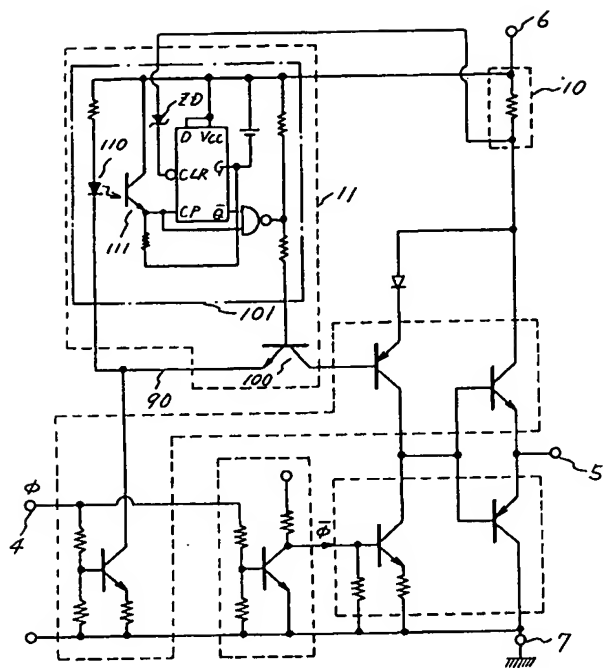
第 9 図



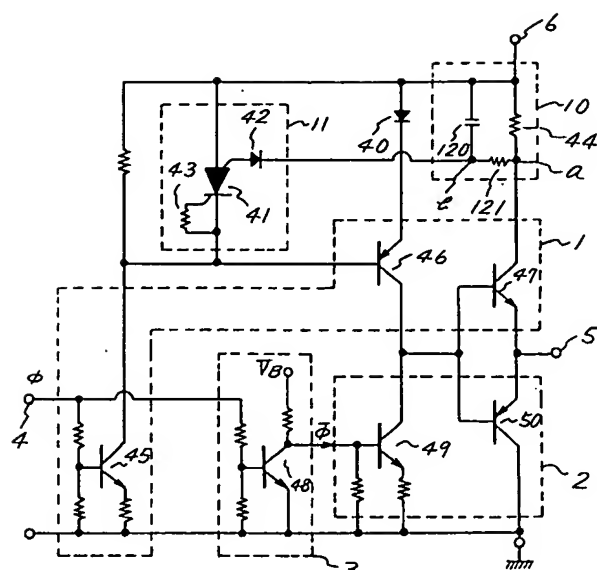
第 10 図



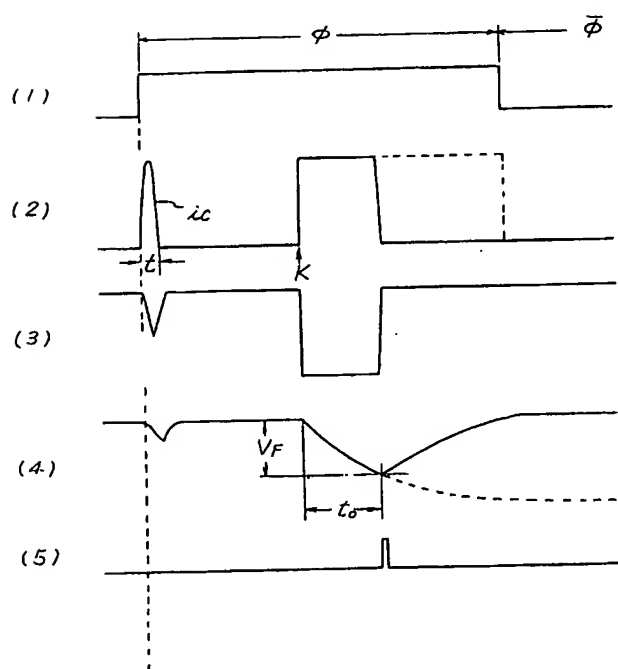
第 11 図



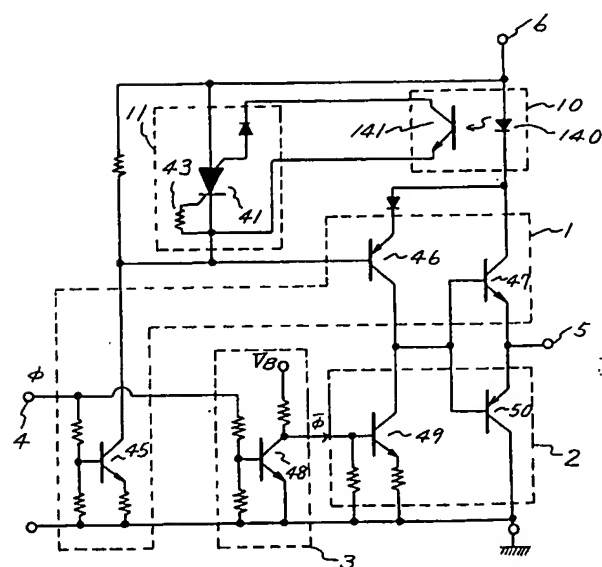
第 12 図



第 13 図



第 14 図



第15図

